

NE/SE567

Tone Decoder/Phase-Locked Loop

Product Specification

DESCRIPTION

The NE/SE567 tone and frequency decoder is a highly stable phase-locked loop with synchronous AM lock detection and power output circuitry. Its primary function is to drive a load whenever a sustained frequency within its detection band is present at the self-biased input. The bandwidth center frequency and output delay are independently determined by means of four external components.

FEATURES

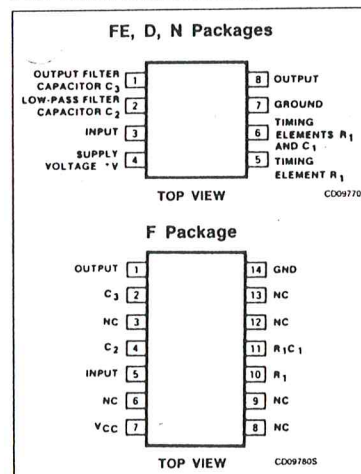
- Wide frequency range (.01Hz to 500kHz)
- High stability of center frequency
- Independently controllable bandwidth (up to 14%)
- High out-band signal and noise rejection
- Logic-compatible output with 100mA current sinking capability
- Inherent immunity to false signals

- Frequency adjustment over a 20-to-1 range with an external resistor
- Military processing available

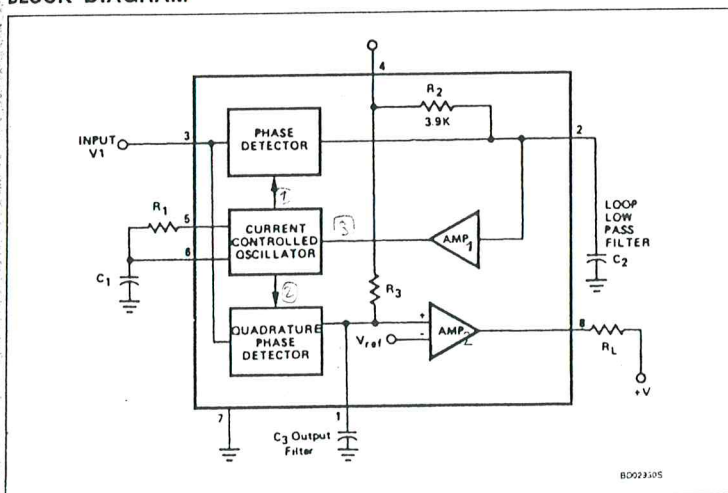
APPLICATIONS

- Touch-Tone® decoding
- Carrier current remote controls
- Ultrasonic controls (remote TV, etc.)
- Communications paging
- Frequency monitoring and control
- Wireless intercom
- Precision oscillator

PIN CONFIGURATIONS



BLOCK DIAGRAM

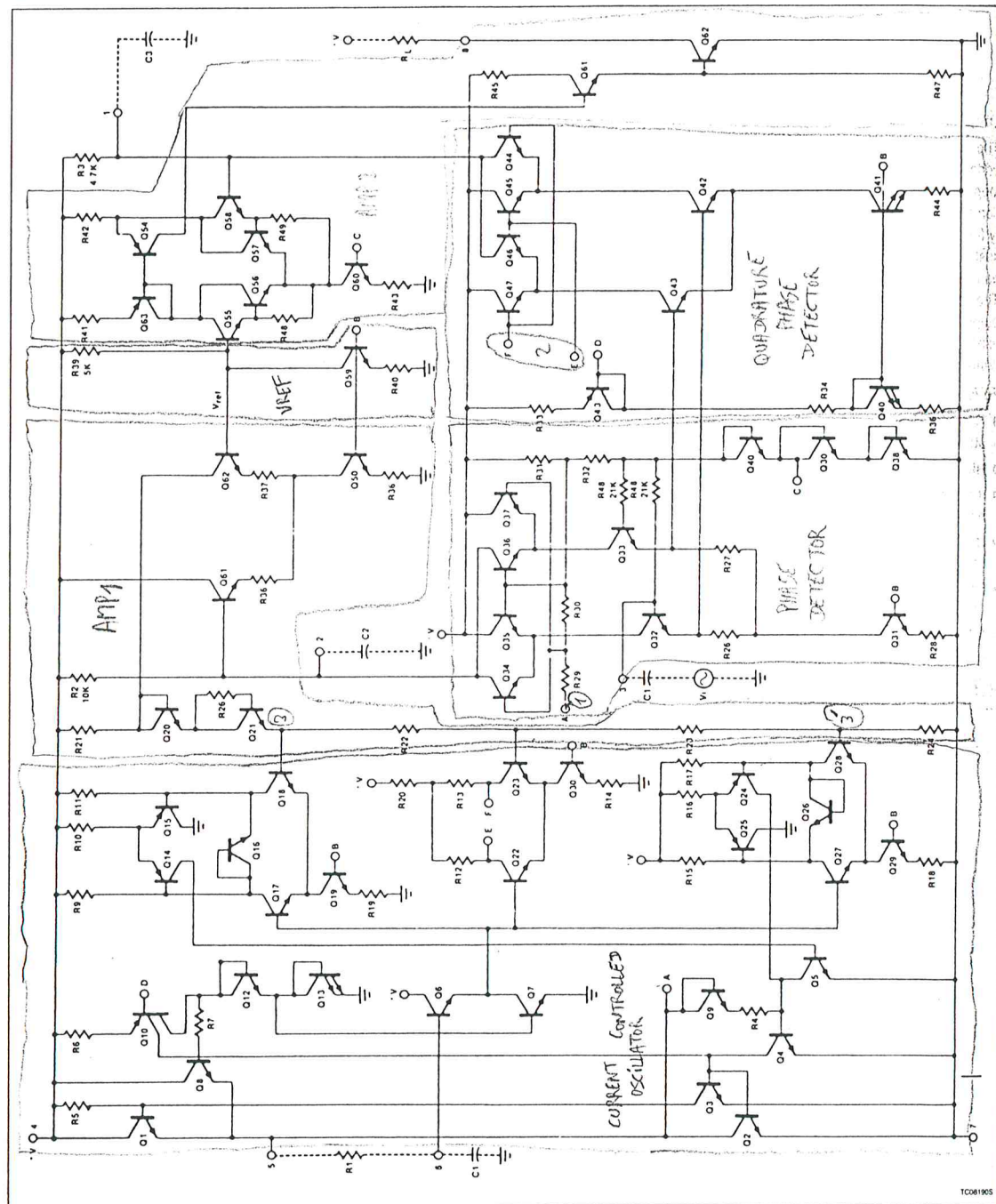


®Touch-Tone is a registered trademark of AT & T.

Tone Decoder/Phase-Locked Loop

NE/SE567

EQUIVALENT SCHEMATIC



Tone Decoder/Phase-Locked Loop

NE/SE567

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
8-Pin Plastic SO	0 to +70°C	NE567D
14-Pin Cerdip	0 to +70°C	NE567F
8-Pin Cerdip	0 to +70°C	NE567FE
8-Pin Plastic DIP	0 to +70°C	NE567N
8-Pin Plastic SO	-55°C to +125°C	SE567D
14-Pin Cerdip	-55°C to +125°C	SE567F
8-Pin Cerdip	-55°C to +125°C	SE567FE
8-Pin Plastic DIP	-55°C to +125°C	SE567N

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
T _A	Operating temperature NE567 SE567	0 to +70	°C
		-55 to +125	°C
V _{CC}	Operating voltage	10	V
V ₊	Positive voltage at input	0.5 + V _S	V
V ₋	Negative voltage at input	-10	V _{DC}
V _{OUT}	Output voltage (collector of output transistor)	15	V _{DC}
T _{STG}	Storage temperature range	-65 to +150	°C
P _D	Power dissipation	300	mW

Tone Decoder/Phase-Locked Loop

NE/SE567

DC ELECTRICAL CHARACTERISTICS $V^+ = 5.0V$; $T_A = 25^\circ C$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	SE567			NE567			UNIT
			Min	Typ	Max	Min	Typ	Max	
Center frequency ¹									
f _O	Highest center frequency			500			500		kHz
f _O	Center frequency stability ²	-55 to +125°C 0 to +70°C		35 ± 140 35 ± 60			35 ± 140 35 ± 60		ppm/°C ppm/°C
f _O	Center frequency distribution	f _O = 100kHz = $\frac{1}{1.1 R_1 C_1}$	-10	0	+10	-10	0	+10	%
f _O	Center frequency shift with supply voltage	f _O = 100kHz = $\frac{1}{1.1 R_1 C_1}$		0.5	1		0.7	2	%/V
Detection bandwidth									
BW	Largest detection bandwidth	f _O = 100kHz = $\frac{1}{1.1 R_1 C_1}$	12	14	16	10	14	18	% of f _O
BW	Largest detection bandwidth skew			2	4		3	6	% of f _O
BW	Largest detection bandwidth — variation with temperature	V _I = 300mV _{RMS}		± 0.1			± 0.1		%/°C
BW	Largest detection bandwidth — variation with supply voltage	V _I = 300mV _{RMS}		± 2			± 2		%/V
Input									
R _{IN}	Input resistance		15	20	25	15	20	25	kΩ
V _I	Smallest detectable input voltage ⁴	I _L = 100mA, f _I = f _O		20	25		20	25	mV _{RMS}
	Largest no-output input voltage ⁴	I _L = 100mA, f _I = f _O	10	15		10	15		mV _{RMS}
	Greatest simultaneous out-band signal-to-in-band signal ratio			+6			+6		dB
	Minimum input signal to wide-band noise ratio	B _n = 140kHz		-6			-6		dB
Output									
	Fastest on-off cycling rate			f _O /20			f _O /20		
	"1" output leakage current	V _B = 15V		0.01	25		0.01	25	μA
	"0" output voltage	I _L = 30mA I _L = 100mA		0.2 0.6	0.4 1.0		0.2 0.6	0.4 1.0	V V
t _F	Output fall time ³	R _L = 50Ω		30			30		ns
t _R	Output rise time ³	R _L = 50Ω		150			150		ns
General									
V _{CC}	Operating voltage range		4.75		9.0	4.75		9.0	V
	Supply current quiescent			6	8		7	10	mA
	Supply current — activated	R _L = 20kΩ		11	13		12	15	mA
t _{PD}	Quiescent power dissipation			30			35		mW

NOTES:

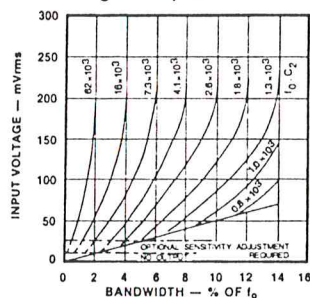
- Frequency determining resistor R_1 should be between 2 and 20k Ω .
- Applicable over 4.75V to 5.75V. See graphs for more detailed information.
- Pin 8 to Pin 1 feedback R_L network selected to eliminate pulsing during turn-on and turn-off.
- With $R_2 = 130k\Omega$ from Pin 1 to V^+ . See Figure 1.

Tone Decoder/Phase-Locked Loop

NE/SE567

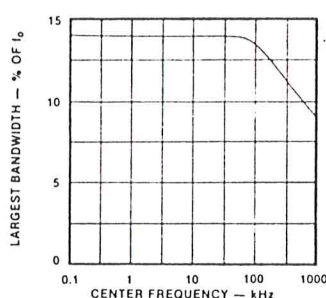
TYPICAL PERFORMANCE CHARACTERISTICS

Bandwidth vs Input Signal Amplitude



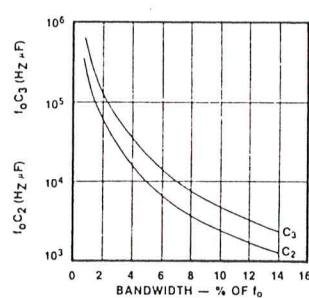
OP042905

Largest Detection Bandwidth vs Operating Frequency



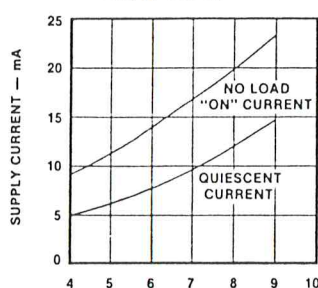
OP042905

Detection Bandwidth as a Function of C_2 and C_3



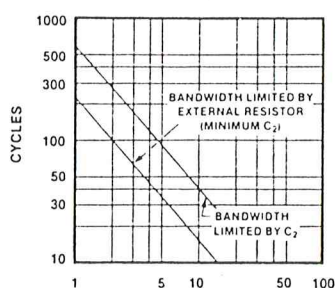
OP043005

Typical Supply Current vs Supply Voltage



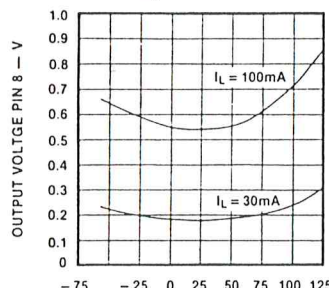
OP043105

Greatest Number of Cycles Before Output

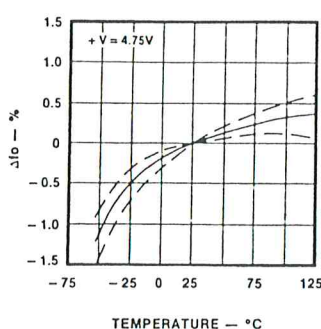


OP043205

Typical Output Voltage vs Temperature

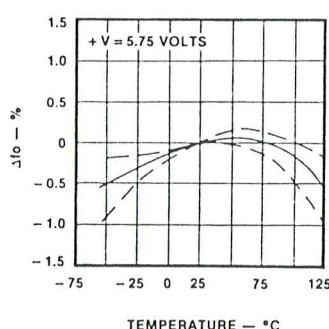


Typical Frequency Drift With Temperature (Mean and SD)



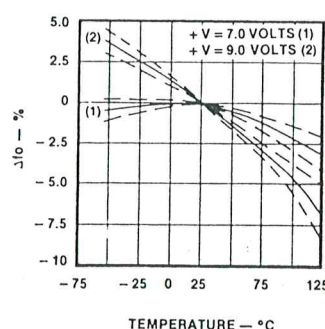
OP043405

Typical Frequency Drift With Temperature (Mean and SD)



OP043505

Typical Frequency Drift With Temperature (Mean and SD)

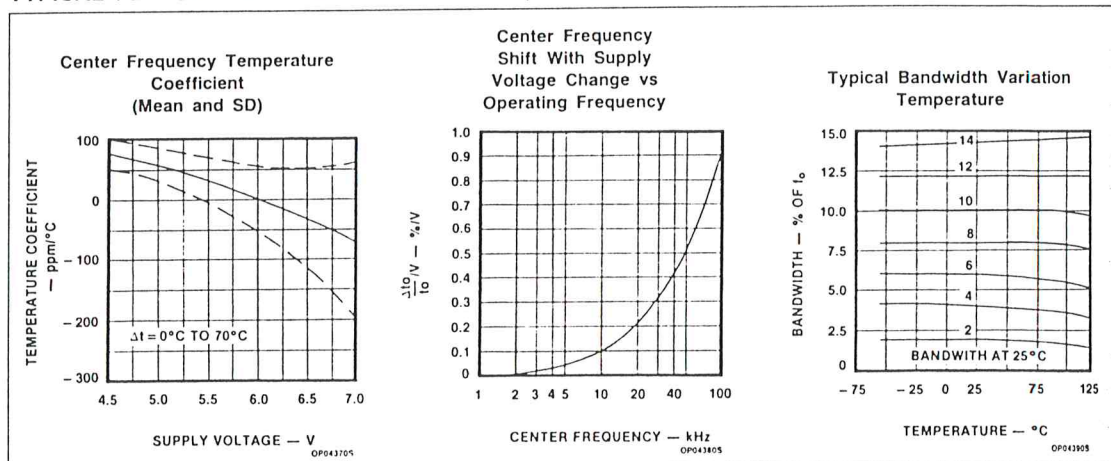


OP043605

Tone Decoder/Phase-Locked Loop

NE/SE567

TYPICAL PERFORMANCE CHARACTERISTICS (Continued)



DESIGN FORMULAS

$$f_0 \approx \frac{1}{1.1R_1C_1}$$

$$BW \approx 1070 \sqrt{\frac{V_1}{f_0C_2}} \text{ in \% of } f_0$$

$$V_1 \leq 200mV_{RMS}$$

Where

 V_1 = Input voltage (V_{RMS}) C_2 = Low-pass filter capacitor (μF)PHASE-LOCKED LOOP
TERMINOLOGY CENTER
FREQUENCY (f_0)

The free-running frequency of the current controlled oscillator (CCO) in the absence of an input signal.

Detection Bandwidth (BW)

The frequency range, centered about f_0 , within which an input signal above the threshold voltage (typically $20mV_{RMS}$) will cause a logical zero state on the output. The detection bandwidth corresponds to the loop capture range.

Lock Range

The largest frequency range within which an input signal above the threshold voltage will hold a logical zero state on the output.

Detection Band Skew

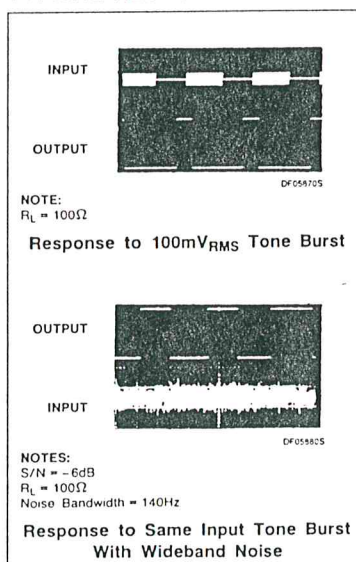
A measure of how well the detection band is centered about the center frequency, f_0 . The skew is defined as $(f_{MAX} + f_{MIN} - 2f_0)/2f_0$ where f_{MAX} and f_{MIN} are the frequencies corresponding to the edges of the detection band. The skew can be reduced to zero if necessary by means of an optional centering adjustment.

OPERATING INSTRUCTIONS

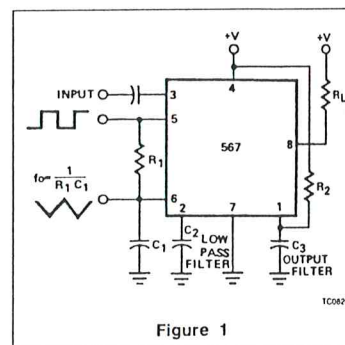
Figure 1 shows a typical connection diagram for the 567. For most applications, the following three-step procedure will be sufficient for choosing the external components R_1 , C_1 , C_2 and C_3 .

1. Select R_1 and C_1 for the desired center frequency. For best temperature stability, R_1 should be between 2K and 20K ohm, and the combined temperature coefficient of the R_1C_1 product should have sufficient stability over the projected temperature range to meet the necessary requirements.

TYPICAL RESPONSE



2. Select the low-pass capacitor, C_2 , by referring to the Bandwidth versus Input Signal Amplitude graph. If the input amplitude Variation is known, the appropriate value of f_0C_2 necessary to give the desired bandwidth may be found. Conversely, an area of operation may be selected on this graph and the input level and C_2 may be adjusted accordingly. For example, constant bandwidth operation requires that input amplitude be above $200mV_{RMS}$. The bandwidth, as noted on the graph, is then controlled solely by the f_0C_2 product (f_0 (Hz), C_2 (μF)).
3. The value of C_3 is generally non-critical. C_3 sets the band edge of a low-pass filter which attenuates frequencies outside the detection band to eliminate spurious outputs. If C_3 is too small, frequencies just outside the detection band will switch the output stage on and off at the beat frequency, or the output may pulse on and off during the turn-on transient. If C_3 is too large, turn-on and turn-off of the



Tone Decoder/Phase-Locked Loop

NE/SE567

output stage will be delayed until the voltage on C_3 passes the threshold voltage. (Such delay may be desirable to avoid spurious outputs due to transient frequencies.) A typical minimum value for C_3 is $2C_2$.

- Optional resistor R_2 sets the threshold for the largest "no output" input voltage. A value of $130k\Omega$ is used to assure the tested limit of $10mV_{RMS}$ min. This resistor can be referenced to ground for increased sensitivity. The explanation can be found in the "optional controls" section which follows.

AVAILABLE OUTPUTS (Figure 2)

The primary output is the uncommitted output transistor collector, Pin 8. When an in-band input signal is present, this transistor saturates; its collector voltage being less than 1.0 volt (typically 0.6V) at full output current (100mA). The voltage at Pin 2 is the phase detector output which is a linear function of frequency over the range of $0.95 f_0$ to $1.05 f_0$ with a slope of about 20mV per percent of frequency deviation. The average voltage at Pin 1 is, during lock, a function of the in-band input amplitude in accordance with the transfer characteristic given. Pin 5 is the controlled oscillator square wave output of magnitude $(+V - 2V_{BE}) \approx (+V - 1.4V)$ having a DC average of $+V/2$. A $1k\Omega$ load may be driven from pin 5. Pin 6 is an exponential triangle of $1V_{p-p}$ with an average DC level of $+V/2$. Only high impedance loads may be connected to pin 6 without affecting the CCO duty cycle or temperature stability.

OPERATING PRECAUTIONS

A brief review of the following precautions will help the user achieve the high level of performance of which the 567 is capable.

- Operation in the high input level mode (above 200mV) will free the user from bandwidth variations due to changes in the in-band signal amplitude. The input stage is now limiting, however, so that out-band signals or high noise levels can cause an apparent bandwidth reduction as the inband signal is suppressed. Also, the limiting action will create in-band components from sub-harmonic signals, so the 567 becomes sensitive to signals at $f_0/3$, $f_0/5$, etc.
- The 567 will lock onto signals near $(2n + 1)f_0$, and will give an output for signals near $(4n + 1)f_0$ where $n = 0, 1, 2$, etc. Thus, signals at $5f_0$ and $9f_0$ can cause an unwanted output. If such signals are anticipated, they should be attenuated before reaching the 567 input.
- Maximum immunity from noise and out-band signals is afforded in the low input

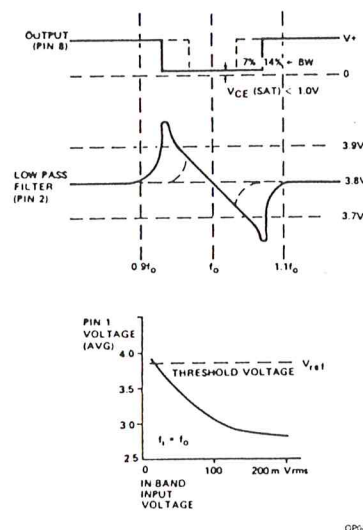


Figure 2

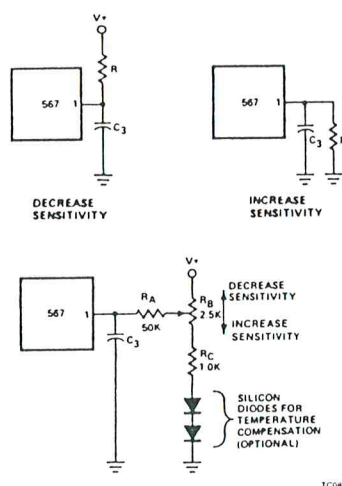


Figure 3

level (below $200mV_{RMS}$) and reduced bandwidth operating mode. However, decreased loop damping causes the worst-case lock-up time to increase, as shown by the Greatest Number of Cycles Before Output vs Bandwidth graph.

- Due to the high switching speeds (20ns) associated with 567 operation, care should be taken in lead routing. Lead lengths should be kept to a minimum.

The power supply should be adequately bypassed close to the 567 with a $0.01\mu F$ or greater capacitor; grounding paths should be carefully chosen to avoid ground loops and unwanted voltage variations. Another factor which must be considered is the effect of load energization on the power supply. For example, an incandescent lamp typically draws 10 times rated current at turn-on. This can

Tone Decoder/Phase-Locked Loop

NE/SE567

cause supply voltage fluctuations which could, for example, shift the detection band of narrow-band systems sufficiently to cause momentary loss of lock. The result is a low-frequency oscillation into and out of lock. Such effects can be prevented by supplying heavy load currents from a separate supply or increasing the supply filter capacitor.

SPEED OF OPERATION

Minimum lock-up time is related to the natural frequency of the loop. The lower it is, the longer becomes the turn-on transient. Thus, maximum operating speed is obtained when C_2 is at a minimum. When the signal is first applied, the phase may be such as to initially drive the controlled oscillator away from the incoming frequency rather than toward it. Under this condition, which is of course unpredictable, the lock-up transient is at its worst and the theoretical minimum lock-up time is not achievable. We must simply wait for the transient to die out.

The following expressions give the values of C_2 and C_3 which allow highest operating speeds for various band center frequencies. The minimum rate at which digital information may be detected without information loss due to the turn-on transient or output chatter is about 10 cycles per bit, corresponding to an information transfer rate of $f_0/10$ baud.

$$C_2 = \frac{130}{f_0} \mu F$$

$$C_3 = \frac{260}{f_0} \mu F$$

In cases where turn-off time can be sacrificed to achieve fast turn-on, the optional sensitivity adjustment circuit can be used to move the quiescent C_3 voltage lower (closer to the threshold voltage). However, sensitivity to beat frequencies, noise and extraneous signals will be increased.

OPTIONAL CONTROLS (Figure 3)

The 567 has been designed so that, for most applications, no external adjustments are required. Certain applications, however, will be greatly facilitated if full advantage is taken of the added control possibilities available through the use of additional external components. In the diagrams given, typical values are suggested where applicable. For best results the resistors used, except where noted, should have the same temperature coefficient. Ideally, silicon diodes would be low-resistivity types, such as forward-biased tran-

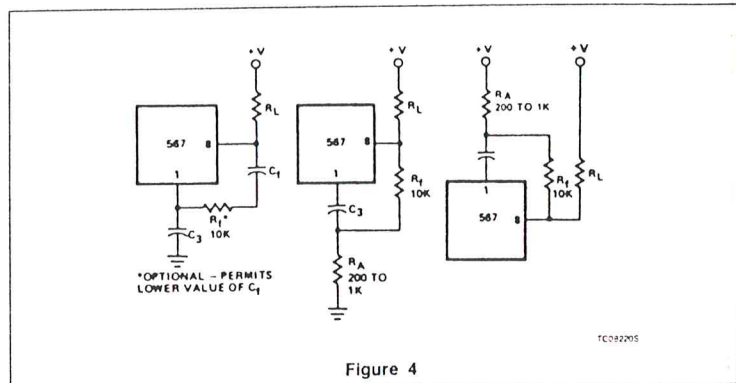


Figure 4

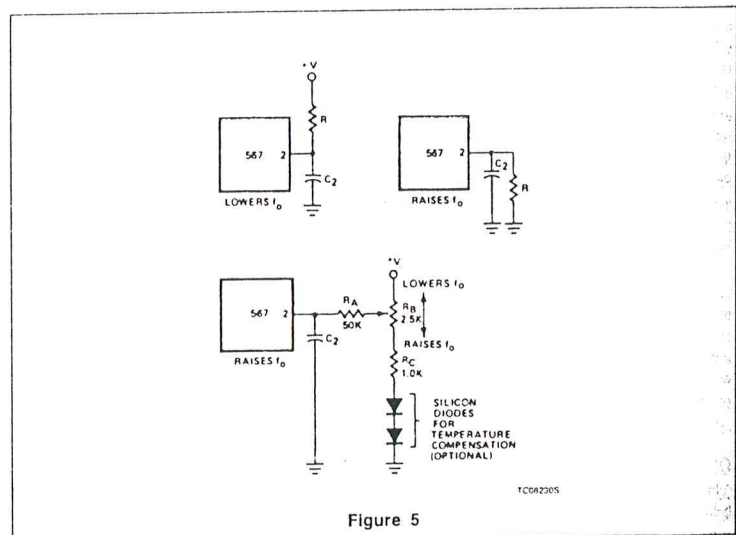


Figure 5

sistor base-emitter junctions. However, ordinary low-voltage diodes should be adequate for most applications.

SENSITIVITY ADJUSTMENT

(Figure 3)

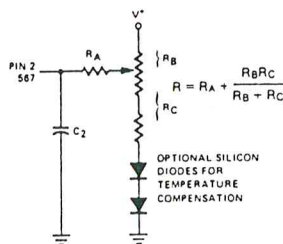
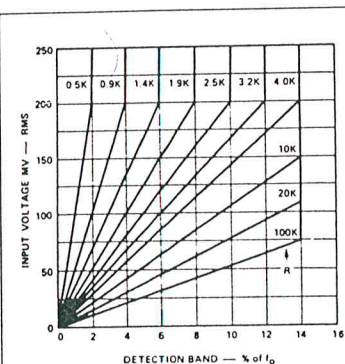
When operated as a very narrow-band detector (less than 8 percent), both C_2 and C_3 are made quite large in order to improve noise and out-band signal rejection. This will inevitably slow the response time. If, however, the output stage is biased closer to the threshold level, the turn-on time can be improved. This is accomplished by drawing additional current to terminal 1. Under this condition, the 567

will also give an output for lower-level signals (10mV or lower).

By adding current to terminal 1, the output stage is biased further away from the threshold voltage. This is most useful when, to obtain maximum operating speed, C_2 and C_3 are made very small. Normally, frequencies just outside the detection band could cause false outputs under this condition. By desensitizing the output stage, the out-band beat notes do not feed through to the output stage. Since the input level must be somewhat greater when the output stage is made less sensitive, rejection of third harmonics or in-band harmonics (of lower frequency signals) is also improved.

Tone Decoder/Phase-Locked Loop

NE/SE567



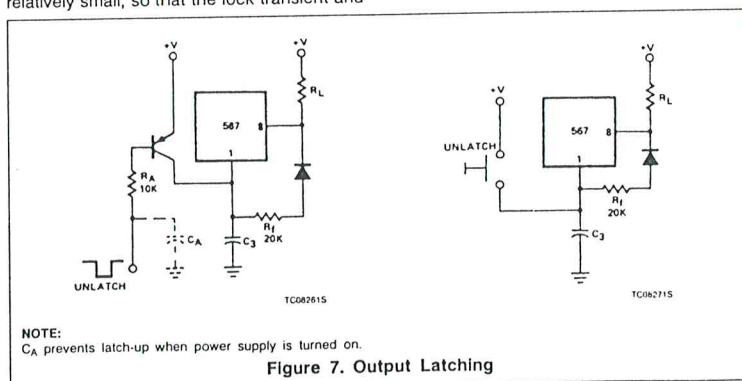
NOTE:

$$\frac{130}{f_0} \left(\frac{10k + R}{R} \right) < C_2 < \frac{1300}{f_0} \left(\frac{10k + R}{R} \right)$$

Adjust control for symmetry of detection band edges about f_0 .

Figure 6

CHATTER PREVENTION (Figure 4)
Chatter occurs in the output stage when C_3 is relatively small, so that the lock transient and



NOTE:
 C_A prevents latch-up when power supply is turned on.

Figure 7. Output Latching

the AC components at the quadrature phase detector (lock detector) output cause the output stage to move through its threshold more than once. Many loads, for example lamps and relays, will not respond to the chatter. However, logic may recognize the chatter as a series of outputs. By feeding the output stage output back to its input (Pin 1) the chatter can be eliminated. Three schemes for doing this are given in Figure 4. All operate by feeding the first output step (either on or off) back to the input, pushing the input past the threshold until the transient conditions are over. It is only necessary to assure that the feedback time constant is not so large as to prevent operation at the highest anticipated speed. Although chatter can always be eliminated by making C_3 large, the feedback circuit will enable faster operation of the 567 by allowing C_3 to be kept small. Note that if the feedback time constant is made quite large, a short burst at the input frequency can be stretched into a long output pulse. This may be useful to drive, for example, stepping relays.

DETECTION BAND CENTERING (OR SKEW) ADJUSTMENT

(Figure 5)
When it is desired to alter the location of the detection band (corresponding to the loop capture range) within the lock range, the circuits shown above can be used. By moving the detection band to one edge of the range, for example, input signal variations will expand the detection band in only one direction. This may prove useful when a strong but undesirable signal is expected on one side or the other of the center frequency. Since R_B also alters the duty cycle slightly, this method may be used to obtain a precise duty cycle when the 567 is used as an oscillator.

ALTERNATE METHOD OF BANDWIDTH REDUCTION

(Figure 6)
Although a large value of C_2 will reduce the bandwidth, it also reduces the loop damping so as to slow the circuit response time. This may be undesirable. Bandwidth can be reduced by reducing the loop gain. This scheme will improve damping and permit faster operation under narrow-band conditions. Note that the reduced impedance level at terminal 2 will require that a larger value of C_2 be used for a given filter cutoff frequency. If more than three 567s are to be used, the network of R_B and R_C can be eliminated and the R_A resistors connected together. A capacitor between this junction and ground may be required to shunt high frequency components.

OUTPUT LATCHING (Figure 7)

To latch the output on after a signal is received, it is necessary to provide a feedback resistor around the output stage (between Pins 8 and 1). Pin 1 is pulled up to unlatch the output stage.

REDUCTION OF C_1 VALUE

(Figure 8)
For precision very low-frequency applications, where the value of C_1 becomes large, an overall cost savings may be achieved by inserting a voltage-follower between the R_1 C_1 junction and Pin 6, so as to allow a higher value of R_1 and a lower value of C_1 for a given frequency.

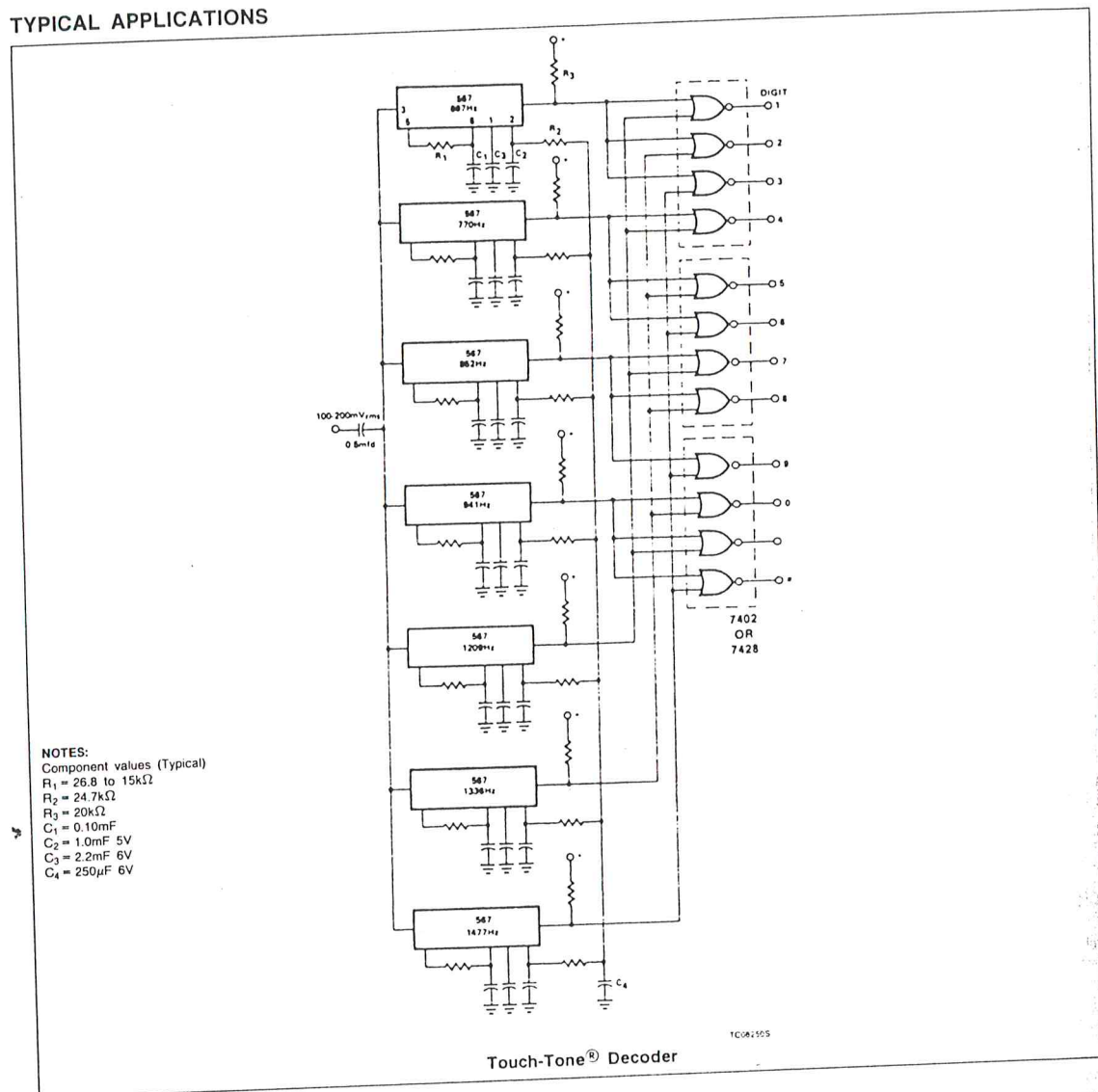
PROGRAMMING

To change the center frequency, the value of R_1 can be changed with a mechanical or solid state switch, or additional C_1 capacitors may be added by grounding them through saturating NPN transistors.

Tone Decoder/Phase-Locked Loop

NE/SE567

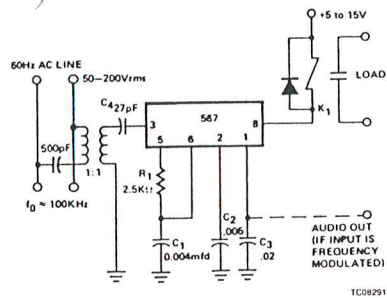
TYPICAL APPLICATIONS



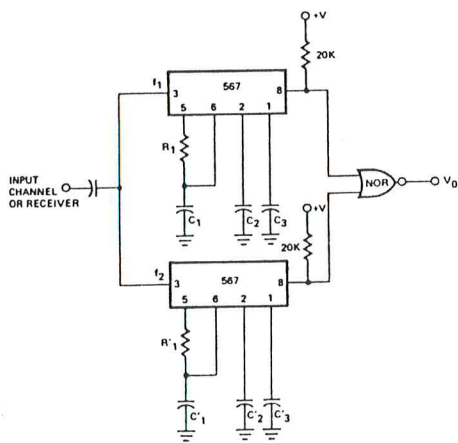
Tone Decoder/Phase-Locked Loop

NE/SE567

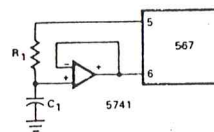
TYPICAL APPLICATIONS (Continued)



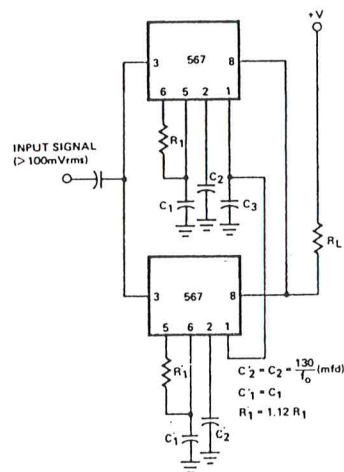
Carrier-Current Remote Control or Intercom



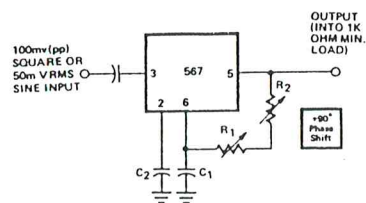
Dual-Tone Decoder



Precision VLF



24% Bandwidth Tone Decoder



NOTES
 $R_2 = R_1/5$
 Adjust R_1 so that $\phi = 90^\circ$ with control midway.

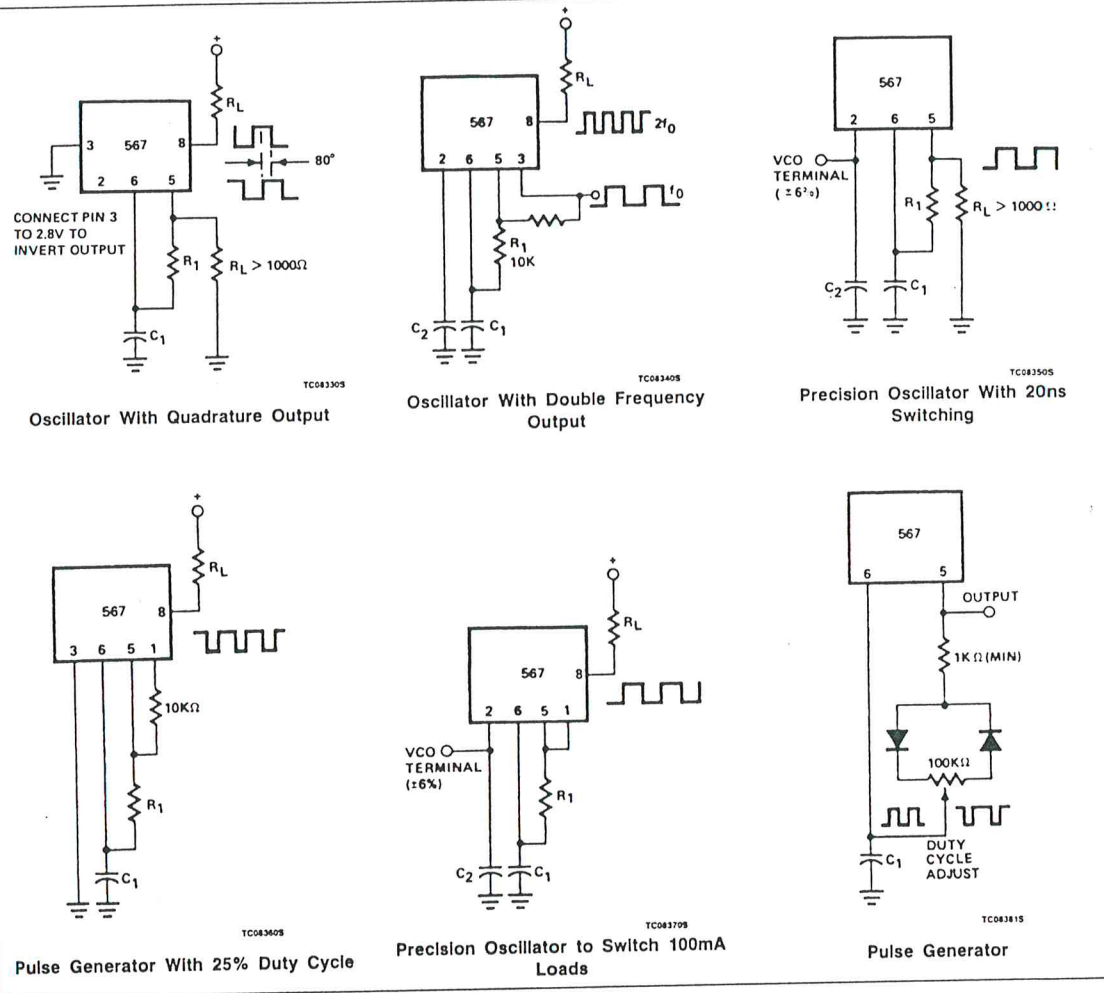
0° to 180° Phase Shifter

- NOTES:
 1. Resistor and capacitor values chosen for desired frequencies and bandwidth.
 2. If C_3 is made large so as to delay turn-on of the top 567, decoding of sequential (f_1 f_2) tones is possible.

Tone Decoder/Phase-Locked Loop

NE/SE567

TYPICAL APPLICATIONS (Continued)



EXPERIMENTATION ET EVOLUTION DES CIRCUITS FONDAMENTAUX

LE DECODEUR 567

Conçu pour la détection de tonalité, c'est-à-dire la reconnaissance d'une fréquence particulière parmi d'autres, le décodeur 567 se prête à de multiples usages dans le domaine de la télécommande. On le rencontre surtout dans les circuits téléphoniques, mais bien d'autres véhicules peuvent être exploités : radio, infrarouges, etc.

Après une courte analyse de la configuration du circuit, et de son fonctionnement, notre étude précise ses modalités d'emploi et propose des exemples pratiques d'utilisation. Nos lecteurs, naturellement, pourront les adapter à leurs projets personnels.

FONCTION- NEMENT DU 567

Une précision pour commencer : nous abrégons la terminologie sous-entendant systématiquement les préfixes d'identification de chaque constructeur : LM chez National Semiconductor, NE chez RTC/Signetics, etc.

Fondamentalement, le décodeur 567 est une boucle à verrouillage de phase (Phase Locked Loop, ou PLL), comme le montre le synoptique de la

figure 1, où le cadre en pointillés délimite le contenu du circuit proprement dit, entouré de ses composants essentiels d'emploi. On y trouve donc un comparateur de phase, un filtre passe-bas, un amplificateur d'erreur (A_1) le tout rebouclé par l'oscillateur commandé en tension (VCO, ou Voltage Control Oscillator).

La différence par rapport à une boucle à verrouillage de phase traditionnelle découle de l'adjonction d'un deuxième détecteur de phase, fournissant une rotation de $\pi/2$ (détecteur en quadrature). Ceci explique le fonctionnement du circuit.

Lorsque le signal d'entrée v_e - dont nous préciserons plus loin les caractéristiques nécessaires - entre dans la plage de capture de la PLL, donc s'approche de la fréquence libre d'oscillation du VCO, ce dernier poursuit la fréquence d'entrée, comme dans toute boucle de ce type. Sur les sorties 5 (créniaux) ou 6 (rampes exponentielles) de l'oscillateur, on dispose alors d'une fréquence f_0 égale à la fréquence d'entrée f_e . Mais ici intervient le détecteur de phase en quadrature. Sa sortie, filtrée par le condensateur C_3 , et appliquée à l'amplificateur A_2 travaillant en comparateur (il reçoit aussi la tension de référence V_{ref}), commande la mise en conduction du transistor T à collecteur ouvert. La tension à la sortie 8, qui égalait celle de l'alimentation $+E$, s'annule presque.

Finalement, le 567 peut être assimilé à un relais commandé en fréquence : sa sortie bascule de l'état logique « 1 » à

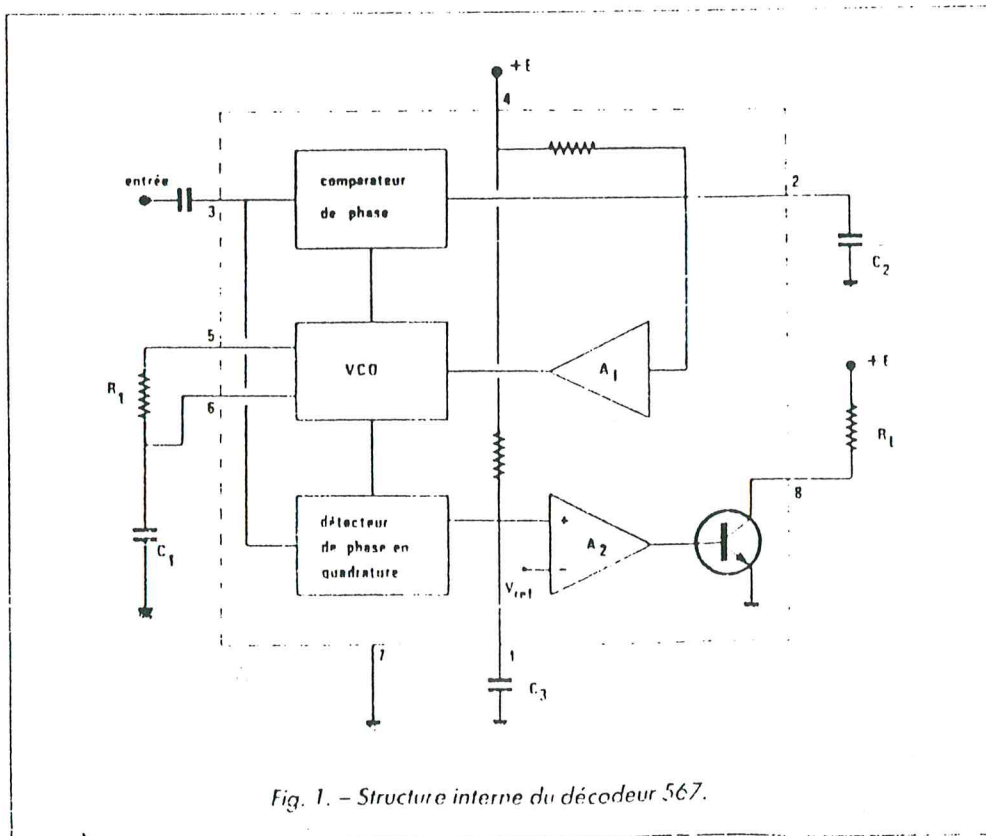


Fig. 1. - Structure interne du décodeur 567.

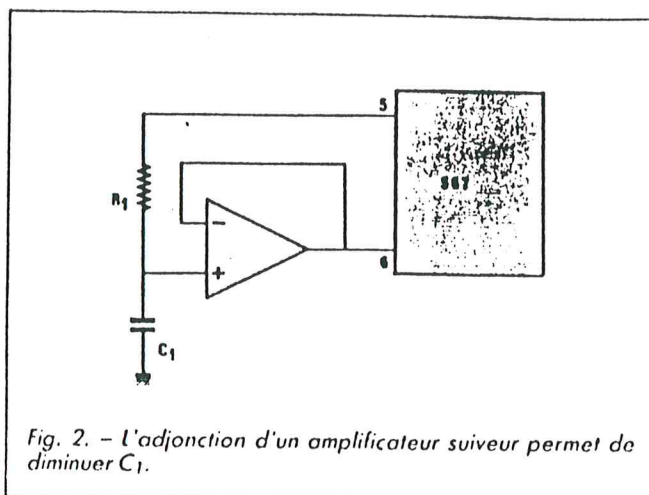


Fig. 2. - L'adjonction d'un amplificateur suiveur permet de diminuer C_1 .

l'état « 0 », sitôt (avec, tout de même, un délai que nous précisons) que la fréquence d'entrée pénètre dans une plage encadrant la fréquence d'oscillation libre. Le problème se ramène, maintenant, à celui du choix des composants externes, qui déterminent essentiellement trois paramètres : la fréquence d'accord f_0 , la bande passante ou plage de capture autour de f_0 , et le délai d'acquisition. C'est ce que nous précisons dans les lignes qui suivent.

CHOIX DE LA FREQUENCE D'ACCORD

Il s'agit, nous l'avons vu, de la fréquence des oscillations libres du VCO. Deux composants la déterminent (fig. 1) : la résistance de temporisation R_1 , et le condensateur associé C_1 . En fonction de ces deux éléments, et avec une incertitude de $\pm 10\%$, due notamment aux tolérances de fabrication du circuit, f_0 est fournie par la relation :

$$f_0 = \frac{1}{R_1 C_1}$$

Elle peut être choisie de 0,01 Hz à 500 kHz, donc dans une gamme extrêmement étendue.

En pratique, tous les couples $R_1 C_1$ ne sont pas autorisés.

L'optimisation du fonctionnement, et notamment les impératifs de stabilité en température, conduisent à imposer des frontières à la valeur de R_1 . On prendra, ainsi : $2 \text{ k}\Omega \leq R_1 \leq 20 \text{ k}\Omega$

Pour les fréquences les plus basses, il en résulte l'obligation de recourir à de très fortes capacités C_1 , ce qui ne va

pas sans problèmes d'ordre financier et technique (courants de fuite). On peut contourner la difficulté à l'aide du montage de la figure 2, où l'amplificateur opérationnel externe, monté en suiveur de tension, augmente l'impédance d'entrée sur la borne 6 : on peut alors augmenter sensiblement R_1 , et réduire corrélativement la capacité de C_1 .

CHOIX DE LA BANDE PASSANTE

Celle-ci s'exprime en pourcentage de la fréquence f_0 . Elle peut être très étroite (environ 1 % de f_0), mais aussi s'élargir à 14 % (valeur maximale typique) de la fréquence d'accord. C'est essentiellement le filtre passe-bas de la branche directe de la boucle qui détermine cette caractéristique. L'utilisateur y accède à

travers le choix de la capacité C_2 ou, plus exactement, du couple C_2, f_0 . Cependant, au-dessous d'une certaine amplitude du signal d'entrée v_e , la bande passante BP dépend aussi de v_e . Elle est alors donnée par la relation :

$$BP = 1,070 \sqrt{\frac{v_e}{f_0 C_2}}$$

où v_e s'exprime en volts efficaces, f_0 en hertz, et C_2 en microfarads.

Au-delà de la valeur charnière ($v_e = 200 \text{ mV}$ efficaces), la bande passante cesse de dépendre de l'amplitude d'entrée. C'est ce que précise, d'ailleurs, la famille des courbes de la figure 3. A chaque courbe du diagramme correspond une valeur du produit $f_0 C_2$ (Hz $\cdot \mu\text{F}$). Pour une bande passante désirée (axe des abscisses), on trouve, en ordonnées, la valeur efficace (signal sinusoïdal) de la tension d'entrée. Au-delà de 200 mV, il apparaît bien que BP ne dépend plus de v_e .

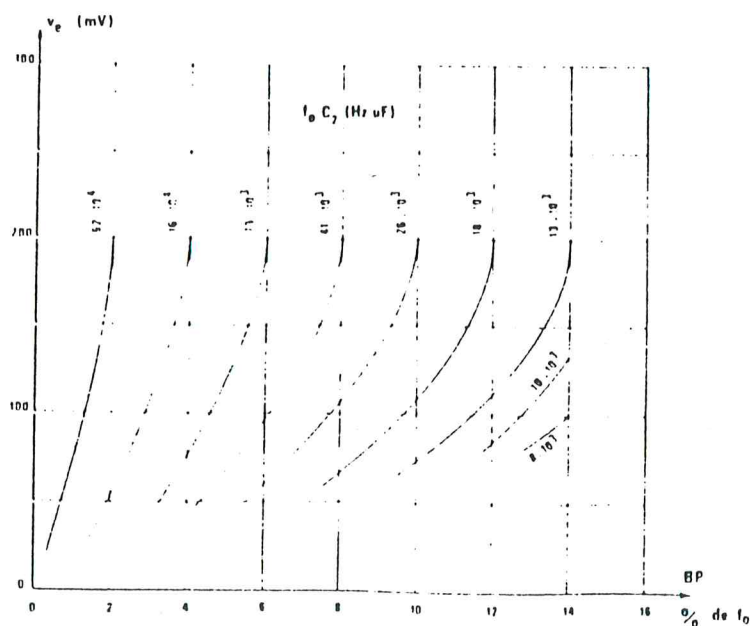


Fig. 3. - Variations de la bande passante avec $f_0 C_2$.

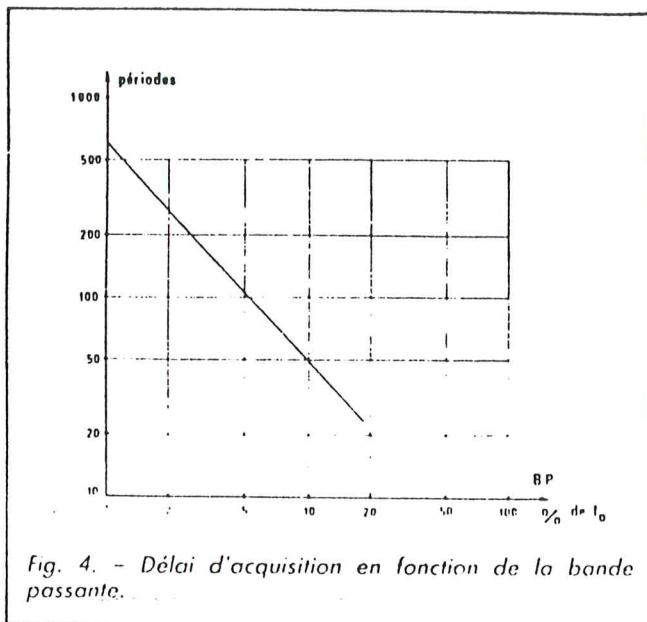


Fig. 4. - Délai d'acquisition en fonction de la bande passante.

DELAI D'ACQUISITION OU DE VERROUILLAGE

Il s'agit là d'une donnée inhérente à toute boucle à verrouillage de phase. Elle est directement liée à la fréquence de coupure du filtre passe-bas de la branche directe, donc au choix de C_2 . Celui-ci conditionne le nombre minimal de périodes du signal d'entrée, à partir duquel le VCO se verrouille. Le graphique de la figure 4 précise ce nombre, en fonction de la largeur de bande exprimée en pourcentage de f_0 .

Il n'est pas inutile d'indiquer numériquement quelques ordres de grandeur. Supposons une application dans le domaine des fréquences « audio », aux alentours de 1 000 Hz (c'est le domaine d'exploitation en téléphonie, pour les appareils à couples de fréquences vocales). Une bande passante relative de 5 % constitue alors l'optimum. La figure 4 montre qu'elle conduit à un délai d'acquisition de 100 périodes soit, ici, 100 ms.

Lorsqu'on cherche la réponse la plus rapide possible, il

convient d'attribuer à C_2 sa capacité minimale. On peut ainsi atteindre un délai d'acquisition de 10 périodes qui, dans le domaine des transmissions de données (modems par exemple), correspondrait à une vitesse de $f_0/10$ bauds. Dans cette hypothèse, on choisira :

$$C_2 = \frac{130}{f_0} \mu\text{F}$$

où f_0 s'exprime toujours en hertz.

ROLE ET CHOIX DU CONDENSATEUR C_3

En sortie du détecteur de phase en quadrature (broche 1 du 567), on trouve, en raison même de la nature des signaux, une forte proportion d'harmonique 2 du signal d'entrée. Cette composante doit être filtrée, et c'est là une des fonctions du condensateur C_3 . Celui-ci, de surcroît, élimine la composante de bruit éventuellement superposée au signal utile, ainsi que les fréquences voisines de f_0 , toutes susceptibles d'induire des déclenchements intempestifs.

Plus ces parasites prennent d'importance, et plus on doit augmenter la capacité de C_3 . Mais la relation, en fait, est trop complexe pour s'exprimer ou s'appliquer commodément, et on s'en tiendra à un choix empirique. Pour la majorité des applications, les constructeurs conseillent la valeur :

$$C_3 = 2 C_2$$

Notons, toutefois, que C_3 se charge et se décharge à travers une résistance interne au

circuit. Une capacité trop importante entraîne des retards – parfois gênants – des basculements du transistor de sortie, de l'état bloqué vers l'état passant aussi bien qu'en sens inverse.

RESUME DES CARACTERISTIQUES DU 567

Nous ne sélectionnons, ici, que les données directement essentielles pour l'utilisation pratique :

- tension d'alimentation : de 4,75 V (compatibilité TTL) à 9 V (maximum absolu de 10 V, à ne jamais dépasser) ;
- courant consommé (hors celui de la charge R_L sur la broche 8) : environ 7 mA ;
- intensité maximale dans le transistor de sortie : 100 mA (ne pas dépasser 300 mW pour la puissance totale dissipée dans le circuit) ;
- fréquence d'accord f_0 : de 0,01 Hz à 500 kHz ;
- bande passante maximale : 14 % de f_0 ;
- impédance d'entrée (borne 3) : 20 k Ω ;
- plus petite tension d'entrée détectable : 20 mV efficaces (signaux sinusoïdaux) ;
- tension de saturation du transistor de sortie : 0,2 V

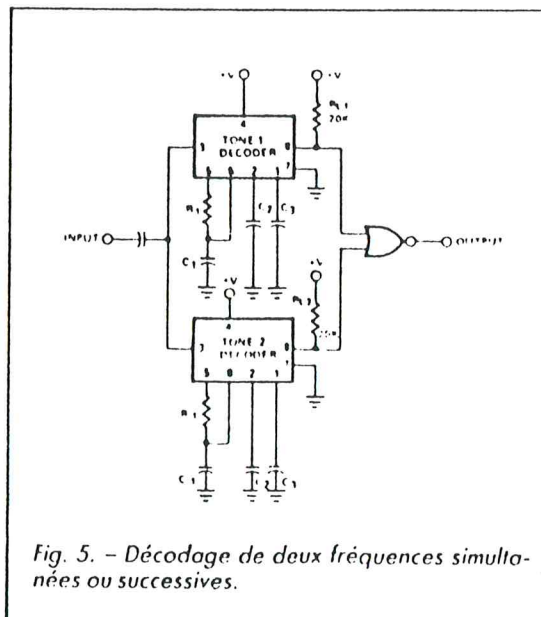


Fig. 5. - Décodage de deux fréquences simultanées ou successives.

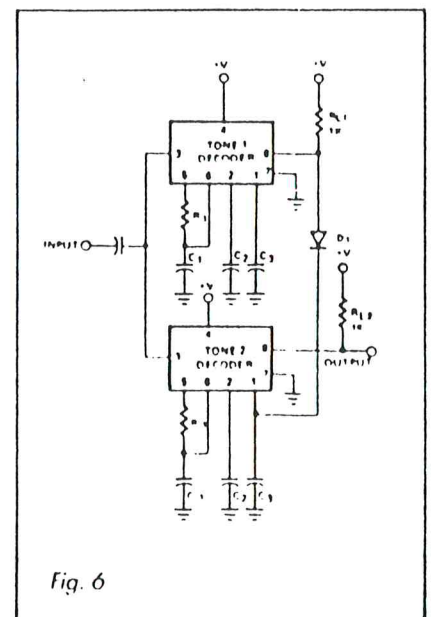


Fig. 6

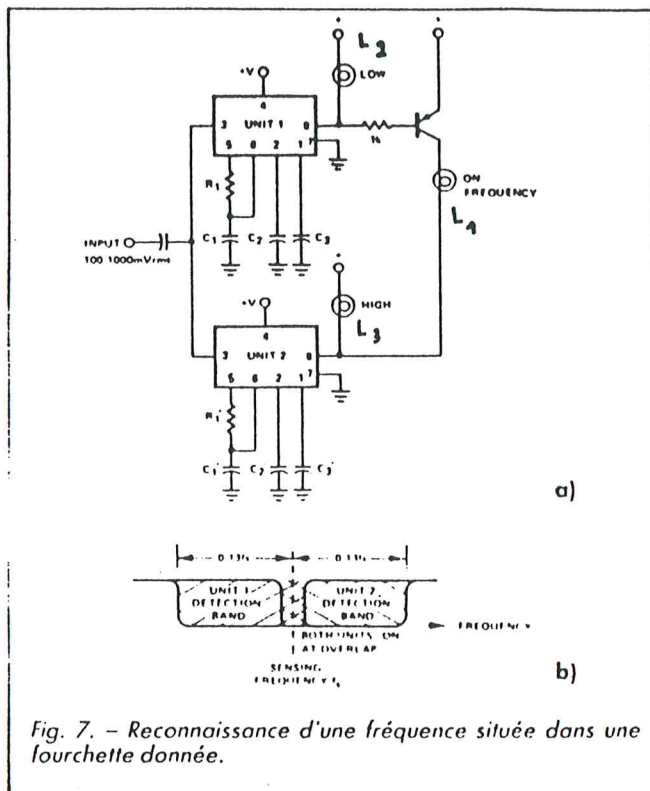


Fig. 7. - Reconnaissance d'une fréquence située dans une fourchette donnée.

pour 30 mA, et 0,6 V pour 100 mA ;

• durée des transitions en sortie : 150 ns à la montée (blocage du transistor) et 30 ns à la descente (saturation).

Il nous reste, pour terminer, à commenter quelques-unes des applications les plus intéressantes.

DECODAGE DE DEUX FREQUENCES SIMULTANÉES OU SUCCESSIVES

Nous ne reviendrons pas sur la détection d'une fréquence unique : c'est l'application directe du 567, et nous venons de la traiter.

Le schéma de la figure 5, qui met en jeu deux décodeurs, s'applique à la reconnaissance de deux fréquences, respectivement déterminées par les couples R_1C_1 (premier circuit) et $R'_1C'_1$ (deuxième circuit). L'application simultanée

de ces deux fréquences, sur l'entrée commune, donne un signal en sortie de la porte NOR.

Le même montage peut servir à la détection de deux fréquences appliquées l'une après l'autre sur l'entrée, dans l'ordre f_0 (accord du premier décodeur), puis f'_0 (accord du deuxième). Il faut alors choisir une forte capacité C_3 pour le premier 567, afin que sa sortie reste suffisamment longtemps à l'état bas, après disparition de la fréquence f_0 , et que les passages des deux entrées, de la porte NOR au zéro logique, se recouvrent dans le temps. Remarquons alors que si C_3 est suffisamment faible, la séquence inverse (f'_0 puis f_0) n'est pas reconnue.

Dans le cas où l'emploi d'une porte NOR constituerait une contrainte gênante, le schéma de la figure 6 propose une alternative. On y prélève la sortie directement sur le deuxième décodeur. Mais celui-ci est polarisé à partir du premier, à travers la diode D :

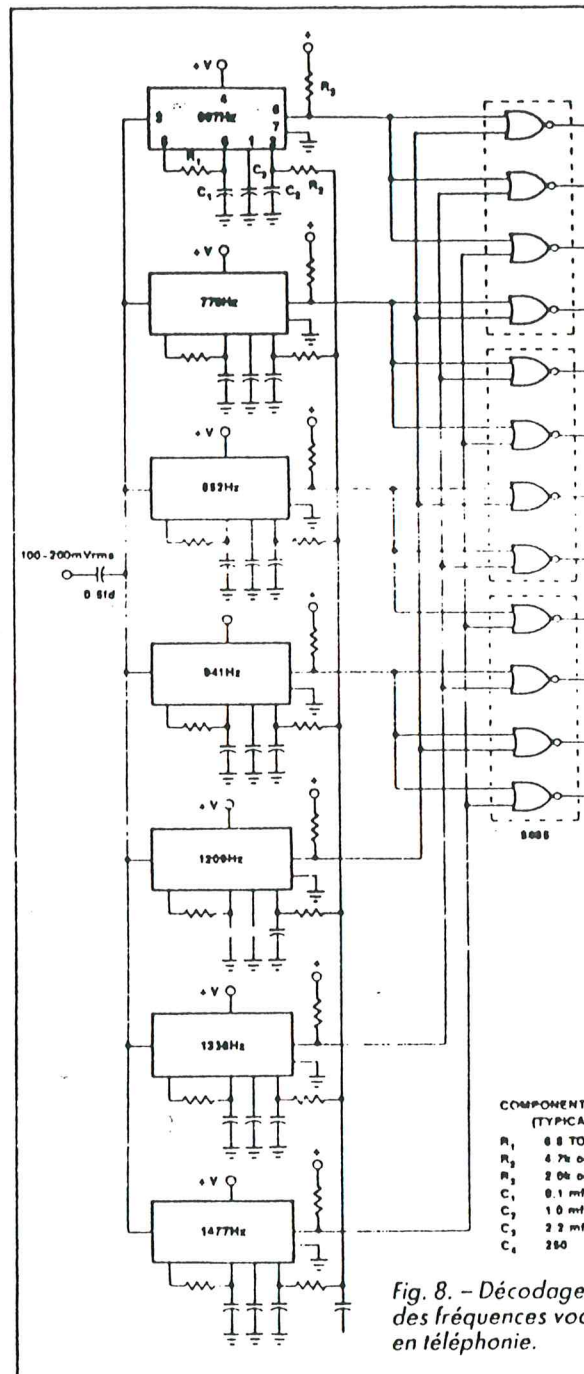


Fig. 8. - Décodage des fréquences voc en téléphonie.

il ne peut détecter la fréquence f'_0 qu'après application préalable de f_0 .

UN DISPOSITIF GO-NO-GO

Le montage de la figure 7(a) permet de déterminer si une fréquence f , appliquée à l'en-

trée commune aux deux décodeurs, se situe soit à l'intérieur d'une fourchette pré-définie, soit au-dessous d'une borne inférieure, soit au-dessus d'une borne supérieure. Ces trois états sont respectivement signifiés par l'allumage des lampes L_1 , L_2 ou L_3 , qu'on pourrait

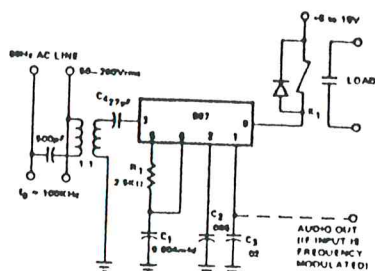


Fig. 9
Transmission
de données
par le secteur.

exploitera les deux états possibles de la sortie 8, par exemple, pour actionner un relais si la porteuse est modulée en fréquence par un signal audio, on prélèvera le signal démodulé sur la broche 1 du décodeur, chargée par un condensateur C_3 de 20 nF. L'amplitude de la porteuse doit se situer entre 50 et 200 mV efficaces, et le couplage s'effectue à travers le transformateur TR, de rapport 1:1 (impédance de l'ordre de 1 000 Ω à 100 kHz), et le condensateur C_4 . Le schéma précise les valeurs des divers composants.

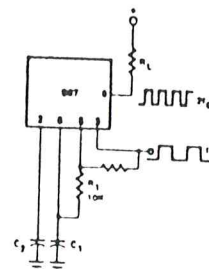


Fig. 12. - Génération simultanée des fréquences f_0 et $2f_0$.

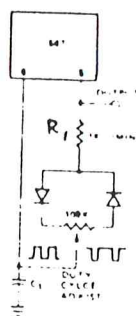


Fig. 11. - Génération de signaux à rapport cyclique variable.

la broche 3 est connectée à la masse, et la broche 2 reste inutilisée.

Grâce au potentiomètre P, associé à deux diodes, dont l'une véhicule le courant de charge de C_1 , et l'autre son courant de décharge, le montage de la figure 11 délivre, en sortie du VCO, des créneaux à rapport cyclique variable. On ne donnera pas à R_1 de valeurs inférieures au k Ω . Les rapports cycliques extrêmes dépendent alors du choix de P, et atteignent P/R₁, ou R₁/P.

On trouvera enfin, en figure 12, le schéma d'un oscillateur qui délivre à la fois la fréquence f_0 imposée par le réseau R_1C_1 (sortie en broche 3), et la fréquence $2f_0$, sur la broche 8.

UTILISATION DU 567 EN OSCILLATEUR

Le décodeur 567 étant, avant tout, une boucle à verrouillage de phase, se prête à nombre d'utilisations en tant qu'oscillateur. En voici quelques exemples, sélectionnés pour leur originalité. Exploitant la sortie rectangulaire (broche 5) du VCO, et la sortie du déphaseur en quadrature (broche 8), le montage de la figure 10 fournit deux signaux en quadrature (déphasage de 90°), à la fréquence imposée par R_1 et C_1 . Il n'y a évidemment, dans ce cas, pas de signal d'entrée :

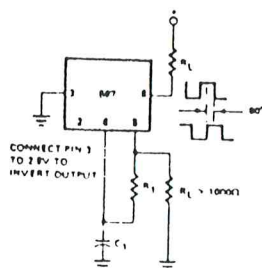


Fig. 10. - Oscillateur en quadrature de phase.

POUR CONCLURE

Primitivement destiné à quelques usages bien particuliers, le décodeur 567 se prête, en fait, à de très nombreuses applications. Sa mise en œuvre aisée, sa facilité d'approvisionnement, et son prix modeste, inciteront certainement nos lecteurs à l'expérimenter. Souhaitons que ces quelques notes les y aident.

R. RATEAU

TRANSMISSION DE DONNEES PAR LE SECTEUR

Le circuit de la figure 9 peut constituer la partie « réception » d'un transmetteur d'ordres (télécommande d'appareils divers) par l'intermédiaire d'une porteuse à 100 kHz environ, superposée à la tension du secteur, sur les deux conducteurs du réseau.

Dans le cas d'une télécommande en tout ou rien, on ex-

plément remplacer par des diodes électroluminescentes, alimentées à travers des résistances. Le diagramme de la figure 7 (b) illustre clairement le fonctionnement du montage. Les deux décodeurs sont activés dans la zone de recouvrement des bandes passantes : le premier prélève alors un signal à la base du transistor émetteur PNP, tandis que le deuxième porte son collecteur à la masse. Ces deux actions, combinées, conduisent à l'allumage de L_1 . Dans les autres cas, seules L_2 ou L_3 s'allument, à moins, bien sûr, que la fréquence ne se situe totalement à l'extérieur des deux bandes passantes ; il y a intérêt à donner à celles-ci la largeur maximale possible, soit 10 % de la fréquence centrale de la fenêtre.

CODEUR SUR TELEPHONE A FREQUENCES LOCALES

Il s'agit là d'une utilisation traditionnelle, illustrée dans toutes les notes d'applications des constructeurs. On n'y a, en fait, qu'une extrapolation du montage décodeur à la tonalité. Sept circuits, accordés sur les fréquences indiquées sur le schéma de la figure, suffisent, grâce à la liaison des portes NOR en sortie, à décoder dix chiffres (de 0 à 9) et deux signes